

CHIP CAPACITIVE VARISTOR

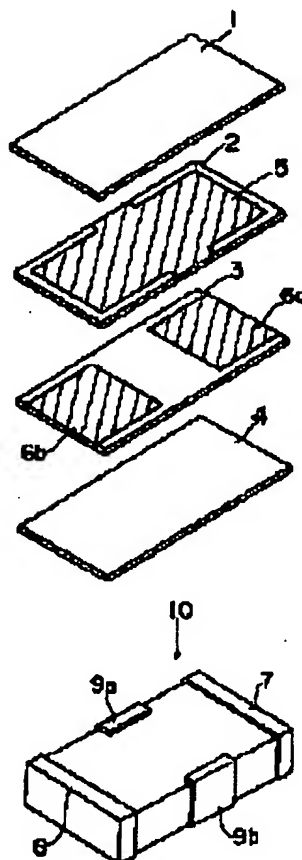
Patent number: JP7235406
Publication date: 1995-09-05
Inventor: UCHIDA AKIRA
Applicant: MITSUBISHI MATERIALS CORP
Classification:
- International: H01C7/10; H01C7/10; (IPC1-7): H01C7/10
- european:
Application number: JP19940028124 19940225
Priority number(s): JP19940028124 19940225

Report a data error here

Abstract of JP7235406

PURPOSE: To improve a mounting density on a circuit board by forming a plurality of chip capacity varistors within one chip.

CONSTITUTION: After a voltage nonlinear resistance ceramic material is printed on green sheets 2, 3 of four green sheets 1-4 and dried, conductive paste is further so printed by a doctor blade method as to become a predetermined shape, and dried to form inner electrodes 5, 6a, 6b. A capacity varistor element is formed of a pair of the electrodes 5, 6a and a pair of the electrodes 5, 6b held at both sides of the material for forming the sheet 2 of the electrodes 5, 6a, 6b. Then, after the sheets 1-4 are laminated and thermally press-bonded, a sintered material is formed. This material is barrel-polished to expose the electrodes 5, 6a, 6b from its side, coated at exposed parts with the paste, thereby forming electrodes 7, 8 connected to the electrodes 6a, 6b and electrodes 9a, 9b connected to the electrode 5.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235406

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 C 7/10

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号 特願平6-28124

(22) 出願日 平成6年(1994)2月25日

(71) 出願人 000006264

三菱マテリアル株式会社

東京都千代田区大手町1丁目5番1号

(72) 発明者 内田 彰

埼玉県秩父郡横瀬町大字横瀬2270番地 三

菱マテリアル株式会社セラミックス研究所

内

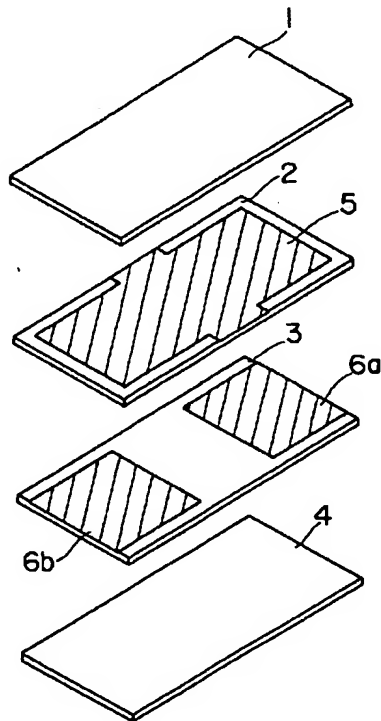
(74) 代理人 弁理士 小杉 佳男 (外2名)

(54) 【発明の名称】 チップ容量性バリスタ

(57) 【要約】

【目的】 本発明は、容量性バリスタが内蔵されたチップ容量性バリスタに関し、実装密度を向上させる。

【構成】 1つのチップ容量性バリスタに複数の容量性バリスタ素子を内蔵した。



【特許請求の範囲】

【請求項1】 電圧非直線性抵抗磁器を有するシート状の基体と、
前記基体を挟む、各ベアを構成する少なくとも一方どうしが互いに電氣的に非接触に形成された複数ベアの内部電極とを備えたことを特徴とするチップ容量性バリスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、容量性バリスタが内蔵されたチップ容量性バリスタに関する。

【0002】

【従来の技術】従来より、電子素子のノイズ及びサージ対策用としてバリスタが使用されている。従来は、チップコンデンサとチップバリスタが基板上に必要な場合、1回路につき各々1個ずつ実装されていた。

【0003】

【発明が解決しようとする課題】ところが、上述のように、従来はノイズ、サージ対策用として、1回路に各々1個ずつ基板に実装していたため実装密度が低いという問題を抱えていた。本発明は、上記事情に鑑み、実装密度を向上させることのできるノイズ、サージ対策用素子としてのチップ容量性バリスタを提供することを目的とする。

【0004】

【課題を解決するための手段】上記目的を達成する本発明のチップ容量性バリスタは、

(1) 電圧非直線性抵抗磁器を有するシート状の基体

(2) 基体を挟む、各ベアを構成する少なくとも一方どうしが互いに電氣的に非接触に形成された複数ベアの内部電極とを備えたことを特徴とするチップ容量性バリスタ。

【0005】ここで、上記電圧非直線性抵抗磁器は、酸化チタン、酸化セリウムを基本成分とした焼結体であって、その基本成分組成が、酸化セリウムを CeO_2 に換算して0.02~20.0モル%含み、残部が酸化チタンであることが好ましい。あるいは、上記電圧非直線性抵抗磁器は、酸化チタン、酸化セリウム及び半導体化元素酸化物を基本成分とした焼結体であって、その基本成分組成が、酸化セリウムを CeO_2 に換算して0.02~20.0モル%、半導体化元素酸化物を M_2O_3 に換算して0.50モル%以下含み、残部が酸化チタンであってもよい。

【0006】

【作用】本発明のチップ容量性バリスタは、基板が電圧非直線性抵抗磁器を含み、その基板の一面に電氣的に非接触の複数の内部電極が形成されており、したがって1つのチップ内に複数のチップ容量性バリスタが形成されている。このため1つの素子で複数回路のノイズ、サージ対策を行うことができ、回路基板への実装密度が向上

する。

【0007】

【実施例】以下、本発明の実施例について説明する。図1は、2つの容量性バリスタ素子が内蔵されたチップ容量性バリスタの各グリーンシートの例を示した図、図2はその外観斜視図、図3はその等価回路図である。

【0008】ここでは図示の4枚のグリーンシート1~4が用意される。それらのグリーンシート1~4には、ポリエステルのベースシートに後述する電圧非直線性抵抗磁器材料のスラリーをドクターブレード法により印刷し、乾燥することにより形成される。ここで用いる電圧非直線性抵抗磁器材料としては、例えば TiO_2 99.48モル%、 Sb_2O_3 0.12モル%、 CeO_2 0.40モル%のものが採用され、これにさらに焼結材として、 SiO_2 を0.5重量%、 SrCO_3 3~7%が加えられる。尚、電圧非直線性抵抗磁器材料の詳細については、特開昭61-174601号公報を参照された

い。

【0009】それら4枚のグリーンシート1~4のうちグリーンシート2、3には、電圧非直線性抵抗磁器材料を印刷、乾燥した後、さらに、それぞれ図示の形状となるように導電性ペーストをドクターブレード法により印刷、乾燥し、これにより内部電極5、6a、6bが形成される。これらの内部電極5、6a、6bのうち、グリーンシート2を形成する電圧非直線性抵抗磁器材料を挟む、内部電極5、6aのベア、内部電極5、6bのベアにより、それぞれ、図3に示す等価回路中の容量性バリスタ素子11、12が構成される。

【0010】以上のようにして形成された4枚のグリーンシート1~4が互いに積層されて熱圧着により一体化された後、870℃2時間焼成され、焼結体が得られる。その焼結体をバレル研磨してその焼結体の側面から内部電極5、6a、6bを露出させ、それらの内部電極5、6a、6bが露出した部分にAgを主成分とした導電性ペーストを塗布し、これにより、図2に示すように、内部電極6a、6bとそれぞれ接続された電極7、8および内部電極5と接続された電極9a、9bを形成する。これにより、図2に示す形状の容量性バリスタ素子が2素子内蔵されたチップ容量性バリスタ10が完成する。

【0011】なお、本発明のチップ容量性バリスタは、2つの容量性バリスタ素子を内蔵するものに限られるものではなく、それ以上の数の容量性バリスタを内蔵するものであってもよい。

【0012】

【発明の効果】以上説明したように、本発明のチップ容量性バリスタは、複数の容量性バリスタ素子を内蔵したものであるため、1つのチップ部品で複数回路のノイズ、サージ対策を行うことができ、実装密度の向上が図られる。

【図面の簡単な説明】

【図1】2つの容量性バリスタ素子が内蔵されたチップ容量性バリスタの各グリーンシートの例を示した図である。

【図2】チップ容量性バリスタの外観斜視図である。

【図3】チップ容量性バリスタの等価回路図である。 *

*【符号の説明】

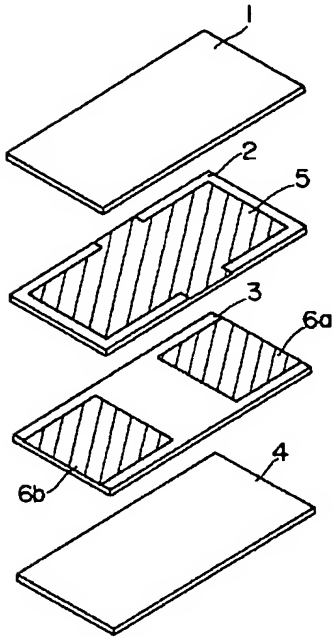
1, ..., 4 グリーンシート

5, 6 a, 6 b 内部電極

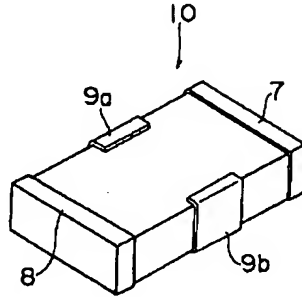
7, 8, 9 a, 9 b 電極

10 チップ容量性バリスタ

【図1】



【図2】



【図3】

